

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-84777  
(P2001-84777A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.<sup>7</sup>  
G 1 1 C 16/02

識別記号

F I  
G 1 1 C 17/00

テマコード\* (参考)  
6 1 1 G 5 B 0 2 5

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願平11-256183  
(22) 出願日 平成11年9月9日 (1999.9.9)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(71) 出願人 000233169  
株式会社日立超エル・エス・アイ・システムズ  
東京都小平市上水本町5丁目22番1号  
(72) 発明者 原田 敏典  
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内  
(74) 代理人 100081938  
弁理士 徳若 光政

最終頁に続く

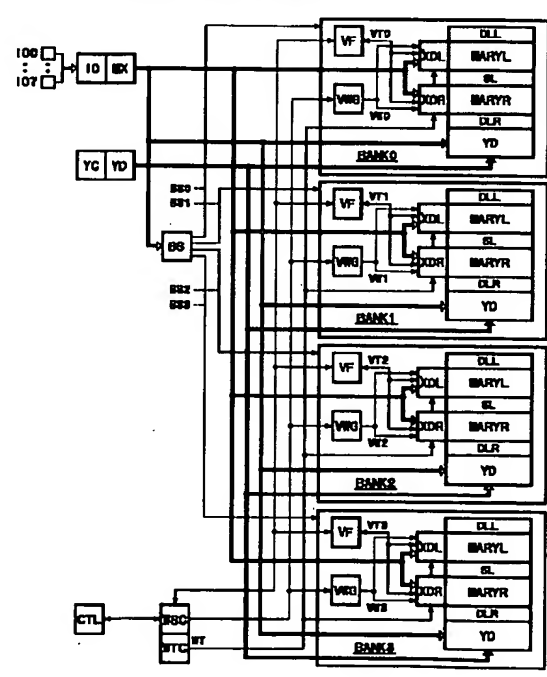
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 複数のバンクを備えるフラッシュメモリ等の書き込み所要時間を短縮し、これを含むコンピュータシステム等の処理能力を高めるとともに、フラッシュメモリ等のチップサイズを縮小し、その低コスト化を図る。

【解決手段】 例えば4個のバンクBANK0～BANK3を備えるフラッシュメモリ等において、実質的な書き込み制御回路となる書き込みシーケンス制御回路WSC、書き込み時間制御回路WTC、ベリファイ回路VFならびに書き込み電圧発生回路VWGを、所定の組み合わせでバンクごとに設け、あるいは全バンク共通に設けて、書き込みインターリーブ機能を持たせる。

図8 書き込み回路の構成形態 (実施例3)



## 【特許請求の範囲】

【請求項1】 格子配列される2層ゲート構造型のメモリセルを含むメモリアレイと、

対応する上記メモリアレイの指定ワード線を択一的に選択状態とするXアドレスデコーダとをそれぞれ含み、かつ、

対応する上記メモリアレイの指定メモリセルに対する書き込み動作を並行して実施しうる複数のバンクを具備することを特徴とする半導体記憶装置。

【請求項2】 請求項1において、

上記メモリセルは、2値メモリセルであり、

上記指定メモリセルに対する書き込み動作は、対応するワード線に比較的絶対値の大きな電位の第1の電圧を印加し、対応するビット線に比較的絶対値の小さな電位の第2の電圧を印加して行われるものであって、

対応する上記メモリアレイの指定メモリセルに対する書き込み手順を制御する書き込みシーケンス制御回路と、対応する上記メモリアレイの指定ワード線に対する上記第1の電圧の印加時間を設定する書き込み時間制御回路と、対応する上記メモリアレイの指定メモリセルに対する書き込み状況を試験・確認するペリファイ回路とは、上記バンクのそれぞれに対応して設けられるものであり、

書き込みデータを入力するデータ入力回路と、カラム系選択回路と、上記第1の電圧の電位を設定する書き込み電圧発生回路とは、上記複数のバンクに共通に設けられるものであることを特徴とする半導体記憶装置。

【請求項3】 請求項2において、

上記指定メモリセルに対する書き込み動作は、上記バンクのそれぞれにおいて独立の手順で行われ、上記第1の電圧の印加開始タイミング及び印加時間は、上記バンクのそれぞれにおいて独立に設定されるものであって、上記第1の電圧の電位は、上記複数のバンクにおいて同一電位に設定されるものであることを特徴とする半導体記憶装置。

【請求項4】 請求項1において、

上記メモリセルは、2値メモリセルであり、

上記指定メモリセルに対する書き込み動作は、対応するワード線に比較的絶対値の大きな電位の第1の電圧を印加し、対応するビット線に比較的絶対値の小さな電位の第2の電圧を印加して行われるものであって、

対応する上記メモリアレイの指定ワード線に対する上記第1の電圧の印加時間を設定する書き込み時間制御回路と、対応する上記メモリアレイの指定メモリセルに対する書き込み状況を試験・確認するペリファイ回路とは、上記バンクのそれぞれに対応して設けられるものであり、

書き込みデータを入力するデータ入力回路と、カラム系選択回路と、書き込み動作の手順を制御する書き込みシーケンス制御回路と、上記第1の電圧の電位を設定する

書き込み電圧発生回路とは、上記複数のバンクに共通に設けられるものであることを特徴とする半導体記憶装置。

【請求項5】 請求項4において、

上記指定メモリセルに対する書き込み動作は、上記バンクのそれぞれにおいて独立の手順で行われ、上記第1の電圧の印加時間は、上記バンクのそれぞれにおいて独立に設定されるものであって、

上記第1の電圧の印加開始タイミングは、上記複数のバンクにおいて上記第1の電圧の印加時間が最も長いバンクに合わせて同一タイミングに設定されるものであることを特徴とする半導体記憶装置。

【請求項6】 請求項1において、

上記メモリセルは、多値メモリセルであり、

上記指定メモリセルに対する書き込み動作は、対応するワード線に書き込みデータの論理値に応じた電位の第1の電圧を印加し、対応するビット線に比較的絶対値の小さな電位の第2の電圧を印加して行われるものであって、

書き込みデータの論理値に応じて上記第1の電圧の電位を設定する書き込み電圧発生回路と、対応する上記メモリアレイの指定メモリセルに対する書き込み状況を試験・確認するペリファイ回路とは、上記バンクのそれぞれに対応して設けられるものであり、

書き込みデータを入力するデータ入力回路と、カラム系選択回路と、書き込み動作の手順を制御する書き込みシーケンス制御回路と、上記第1の電圧の印加時間を設定する書き込み時間制御回路とは、上記複数のバンクに共通に設けられるものであることを特徴とする半導体記憶装置。

【請求項7】 請求項6において、上記第1の電圧の電位は、上記バンクのそれぞれにおいて独立に設定されるものであって、

上記第1の電圧の印加開始タイミング及び印加時間は、上記複数のバンクにおいてそれぞれ同一タイミング及び同一時間に設定され、異なるしきい値電圧を書き込み終了後の目標値とする上記指定メモリセルに対する書き込み動作は、上記複数のバンクにおいて並行し、かつ共通の手順で行われるものであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体記憶装置に関し、例えば、複数のバンクを備えるフラッシュメモリならびにその書き込み動作の高速化及びチップサイズの縮小に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 コントロールゲート及びフローティングゲートを有するいわゆる2層ゲート構造型のメモリセルがあり、このようなメモリセルが格子配列されてなるメ

モリアレイをその基本構成要素とするフラッシュメモリがある。

【0003】

【発明が解決しようとする課題】本願発明者等は、この発明に先立って、複数のバンクを備えるフラッシュメモリの開発業務に従事し、次の問題点に気付いた。すなわち、このフラッシュメモリは、例えば図12に示されるように、4個のバンクBANK0～BANK3を備え、これらのバンクのそれぞれは、2層ゲート構造型メモリセルが格子配列されてなるメモリアレイMARYと、ロウ系選択回路となるXアドレスデコーダXDと、センスデータラッチSDL及びYゲート回路YGとを含む。

【0004】バンクBANK0～BANK3のXアドレスデコーダXDは、データ入出力端子IO0～IO7からデータ入出力回路IO及びマルチプレクサMXを介して入力されるXアドレス信号を保持し、これをデコードして、メモリアレイMARYの対応するワード線を選択的に選択レベルとする。また、センスデータラッチSDLは、メモリアレイMARYの選択ワード線に結合される所定数のメモリセルから対応するビット線に出力される読み出し信号を増幅するとともに、上記データ入出力端子IO0～IO7からデータ入出力回路IO及びマルチプレクサMXならびにYゲート回路YGを介して8ビット単位で供給される書き込みデータを順次取り込み、保持して、セクタつまりワード線単位で書き込む。

【0005】これにより、バンクBANK0～BANK3は、Yゲート回路YGを介するデータのシリアル入出力動作を選択的に実行しながら、比較的長い時間が必要なXアドレスデコーダXDによるワード線選択動作を独立に行うことができ、フラッシュメモリとしての平均的なアクセス動作を高速化できるものである。

【0006】ところで、上記フラッシュメモリでは、メモリアレイMARYの指定メモリセルに対する書き込み動作が、対応するワード線に例えば+15V（ボルト）のワード線書き込み電圧VWを印加し、対応するビット線に0Vを印加して、指定メモリセルのチャネル及びフローティングゲート間でFN（Fowler Nordheim）トンネル現象を発生させ、フローティングゲートに電子を注入して指定メモリセルのしきい値電圧を変化させる方法がとられる。このとき、フローティングゲートに対する電子の注入量、つまりメモリセルのしきい値電圧の変化量は、選択ワード線に印加される高電圧VWの絶対値が大きくなるにしたがって大きくなり、その印加時間が長くなるにしたがって大きくなる。

【0007】一方、上記フラッシュメモリでは、図12に示されるように、外部供給される電源電圧VDDをもとに上記ワード線書き込み電圧VWを生成する書き込み電圧発生回路VWGと、指定メモリセルに対する書き込み動作の手順を管理する書き込みシーケンス制御回路WSCと、選択ワード線に対する上記ワード線書き込み電

圧VWの印加時間を設定する書き込み時間制御回路WTCと、書き込み結果を試験・確認するベリファイ回路VFとが4個のバンクBANK0～BANK3に共通に設けられ、各バンクに対する書き込み動作は、バンク選択回路BSから出力されるバンク選択信号BS0～BS3に従って択一的に実行される。また、各バンクの書き込み動作は、図13に例示されるように、ベリファイ動作をはさんで繰り返し行われ、すべての指定メモリセルに対する書き込みが終わるまでには例えば数百 $\mu$ s（マイクロ秒）程度の比較的長い時間が必要となる。

【0008】これらの結果、フラッシュメモリの書き込み所要時間が長くなり、フラッシュメモリを含むシステムの処理能力が低下する。また、これに対処するため、書き込み制御のための上記書き込み電圧発生回路VWG、書き込みシーケンス制御回路WSC、書き込み時間制御回路WTCならびにベリファイ回路VFをバンクごとに設けた場合、これらの回路のレイアウト所要面積が大きくなって、フラッシュメモリのチップサイズが増大し、その低コスト化が阻害される。

【0009】この発明の目的は、複数のバンクを備えるフラッシュメモリ等の書き込み所要時間を短縮し、フラッシュメモリを含むコンピュータシステム等の処理能力を高めることにある。この発明の他の目的は、複数のバンクを備えるフラッシュメモリ等のチップサイズを縮小し、その低コスト化を図ることにある。

【0010】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば次の通りである。すなわち、複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが2値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込みシーケンス制御回路、書き込み時間制御回路ならびにベリファイ回路をバンクごとに設け、他の一部たる書き込み電圧発生回路を全バンク共通に設ける。

【0012】これにより、フラッシュメモリ等に、各バンクで独立にしかも並行して書き込み動作を実行しうるいわゆる書き込みインターリーブ機能を持たせることができるため、フラッシュメモリ等の書き込み所要時間を短縮して、フラッシュメモリを含むコンピュータシステム等の処理能力を高めることができる。

【0013】複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが2値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込み時間制御回路及びベリファイ回路をバンクごとに設け、他の一部たる書き込み電圧発生回路及び書き込みシ

一ケンス制御回路を全バンク共通に設ける。

【0014】これにより、書き込み制御回路の一部を全バンクで共有し、そのレイアウト所要面積を縮小できるため、フラッシュメモリ等のチップサイズを縮小し、その低コスト化を図りつつ、フラッシュメモリ等の書き込み所要時間を短縮して、これを含むコンピュータシステム等の処理能力を高めることができる。

【0015】複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが多値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込み電圧発生回路及びベリファイ回路をバンクごとに設け、他の一部たる書き込みシーケンス制御回路及び書き込み時間制御回路を全バンク共通に設ける。

【0016】これにより、異なるしきい値電圧を目標値とする指定メモリセルへの書き込み動作を各バンクで並行して行うことができたため、複数のバンクを備える多値フラッシュメモリのチップサイズを縮小して、その低コスト化を図りつつ、多値フラッシュメモリの平均的な書き込み所要時間を短縮し、多値フラッシュメモリを含むコンピュータシステム等の処理能力を高めることができる。

【0017】

【発明の実施の形態】図1には、この発明が適用されたフラッシュメモリ（半導体記憶装置）の第1の実施例のブロック図が示されている。また、図2には、図1のフラッシュメモリのバンクBANK0～BANK3に含まれるメモリアレイMARY及び関連部の一実施例の部分的な回路図が示され、図3には、図2のメモリアレイMARYを構成する2層ゲート構造型メモリセルのしきい値電圧の一実施例の分布特性図が示されている。これらの図をもとに、まずこの実施例のフラッシュメモリの構成及び動作の概要と、メモリアレイMARYの具体的構成ならびに2層ゲート構造型メモリセルのしきい値電圧の分布特性について説明する。

【0018】なお、図1の各ブロックを構成する回路素子は、特に制限されないが、公知のMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、単結晶シリコンのような1個の半導体基板面上に形成される。また、この実施例のフラッシュメモリは、他の同様な複数のフラッシュメモリとともに、コンピュータシステムの所定の記憶装置を構成する。

【0019】図1において、この実施例のフラッシュメモリは、特に制限されないが、4個のバンクBANK0～BANK3を備え、これらのバンクのそれぞれは、そのレイアウト所要面積の大半を占めて配置されるメモリアレイMARYと、直接周辺回路たるXアドレスデコーダXD、センスアンプデータラッチSDLならびにYG

ート回路YGと、書き込み制御回路の一部たる書き込みシーケンス制御回路WSC、書き込み時間制御回路WTCならびにベリファイ回路VFとを備える。この実施例のフラッシュメモリは、さらに、バンクBANK0～BANK3に共通に設けられるバンク選択回路BS、YアドレスデコーダYD、YアドレスカウンタYC、データ入出力回路IO、マルチプレクサMX、コマンドレジスタCRならびにメモリ制御回路CTLと、やはり全バンク共通に設けられ書き込み制御回路の他の一部たる書き込み電圧発生回路VWGとを備える。

【0020】ここで、バンクBANK0～BANK3のメモリアレイMARYは、図2に示されるように、 $k+1$ 個のメモリセルブロックMCB0～MCB $k$ を備え、これらのメモリセルブロックのそれぞれは、図の水平方向に平行して配置される $m+1$ 本のワード線W00～W0 $m$ ないしW $k$ 0～W $k$  $m$ と、図の垂直方向に平行して配置される $n+1$ 本のローカルビット線LB0～LB $n$ とを含む。これらのワード線及びローカルビット線の交点には、 $(m+1) \times (n+1)$ 個の2層ゲート構造型メモリセルMCがそれぞれ格子状に配置される。

【0021】メモリアレイMARYのメモリセルブロックMCB0～MCB $k$ の同一列に配置される $m+1$ 個のメモリセルMCのドレインは、対応するローカルビット線LB0～LB $n$ に共通結合され、そのソースは、対応するサブソース線SSL0～SSL $n$ に共通結合される。各メモリセルブロックのローカルビット線LB0～LB $n$ は、Nチャンネル型の選択MOSFETN1を介して対応するグローバルビット線GB0～GB $n$ に共通結合され、そのサブソース線SSL0～SSL $n$ は、Nチャンネル型の選択MOSFETN2を介してソース線SLに共通結合される。各メモリセルブロックの選択MOSFETN1のゲートは、対応するブロック選択信号線MD0～MD $k$ に共通結合され、選択MOSFETN2のゲートは、対応するブロック選択信号線MS0～MS $k$ に共通結合される。

【0022】この実施例において、メモリアレイMARYを構成するメモリセルMCは2値メモリセルとされ、そのしきい値電圧は、図3に示されるように、消去状態に対応する比較的低いしきい値電圧 $V_{th21}$ 、又は書き込み状態に対応する比較的高いしきい値電圧 $V_{th22}$ を中心値とする二つの領域に選択的に分布する。特に制限されないが、メモリセルMCは、そのしきい値電圧が消去状態に対応する $V_{th21}$ を中心値とする領域にあるとき、いわゆる論理“1”のデータを保持するものとされ、そのしきい値電圧が書き込み状態に対応する $V_{th22}$ を中心値とする領域にあるとき、論理“1”のデータを保持するものとされる。このため、各メモリセルMCが消去状態又は書き込み状態のいずれにあるかは、対応するワード線を読み出し選択電位VRW21で選択状態とし、各メモリセルがオン状態又はオフ状態の

いずれにあるかを識別することで判定される。

【0023】バンクBANK0～BANK3のメモリアレイMARYを構成するワード線W00～W0mないしWk0～Wkm、ブロック選択信号MD0～MDkならびにMS0～MSkは、その左方において対応するXアドレスデコーダXDに結合され、選択的に所定の選択又は非選択レベルとされる。各バンクのXアドレスデコーダXDには、外部のアクセス装置からデータ入出力端子IO0～IO7、データ入出力回路IOならびにマルチプレクサMXを介して所定ビットのXアドレス信号が共通に供給されるとともに、メモリ制御回路CTLから内部制御信号XL1及びXL2が共通に供給される。また、対応する書き込み時間制御回路WTCから書き込み制御信号WT0～WT3が供給されるとともに、対応するペリファイ回路VFからペリファイ制御信号VT0～VT3が供給され、書き込み電圧発生回路VWGからワード線書き込み電圧VWが共通に供給される。

【0024】XアドレスデコーダXDには、さらにバンク選択回路BSから対応するバンク選択信号BS0～BS3が供給される。これらのバンク選択信号は、各バンクの他の回路にもそれぞれ供給され、その選択制御信号となる。

【0025】この実施例において、アクセス装置から供給されるXアドレス信号は、8を超えるビット数とされ、データ入出力端子IO0～IO7から2回のサイクルに分けて時分割的に入力される。このうち、1回目のサイクルで入力されるXアドレス信号の下位ビットは、内部制御信号XL1に従ってXアドレスデコーダXDに取り込まれ、2回目のサイクルで入力される上位ビットは、内部制御信号XL2に従って各バンクのXアドレスデコーダXDに取り込まれる。各バンクのXアドレスデコーダXDは、これらのXアドレス信号を保持し、デコードして、メモリアレイMARYのワード線W00～W0mないしWk0～Wkmを選択的に所定の選択又は非選択レベルとするとともに、ブロック選択信号MD0～MDkならびにMS0～MSkを選択的に所定の選択又は非選択レベルとする。

【0026】なお、書き込み電圧発生回路VWGから各バンクのXアドレスデコーダXDに供給されるワード線書き込み電圧VW（第1の電圧）は、例えば15Vのような比較的絶対値の大きな正電位とされる。また、書き込み動作時におけるメモリアレイMARYの指定ワード線の選択レベルは、上記ワード線書き込み電圧VWの電位とされ、この指定ワード線が選択レベルとされる時間は、書き込み時間制御回路WTCから供給される書き込み制御信号WT0～WT3のパルス幅に相当する時間とされる。さらに、バンクBANK0～BANK3のそれぞれは、書き込み状況を試験・確認するためのペリファイ回路VFを備え、各バンクのXアドレスデコーダXDは、対応するペリファイ回路VFから供給されるペリフ

ァイ制御信号VT0～VT3に従ってメモリアレイMARYの指定ワード線を選択的に上記読み出し選択電位VRW21とする機能をあわせ持つ。

【0027】次に、各バンクのメモリアレイMARYを構成するグローバルビット線GB0～GBnは、その下方において対応するセンスデータラッチSDL結合され、さらにYゲート回路YGを介して8ビットずつ選択的にマルチプレクサMXに接続される。Yゲート回路YGには、YアドレスデコーダYDから所定ビットのビット線選択信号が供給される。また、YアドレスデコーダYDには、YアドレスカウンタYCから所定ビットの内部Yアドレス信号が供給されるとともに、メモリ制御回路CTLから内部制御信号YDGが供給される。YアドレスカウンタYCには、メモリ制御回路CTLから内部制御信号YCが供給される。

【0028】バンクBANK0～BANK3のセンスデータラッチSDLは、メモリアレイMARYのグローバルビット線GB0～GBnに対応して設けられるn+1個の単位回路を備え、この単位回路のそれぞれは、図2に例示されるように、書き込み回路及び読み出し回路となる単位センスアンプUSL0～USLnと、書き込みデータ及び読み出しデータを保持し直並列変換回路及び並直列変換回路となる単位データラッチUDL0～UDLnと、書き込みペリファイのためのデータ比較照合動作を行う単位ペリファイ回路UVF0～UVFnとを含む。

【0029】センスデータラッチSDLの各単位回路の単位センスラッチUSL0～USLnの上部端子（以下、図2の位置関係をもって各回路の上部端子又は下部端子と称する）は、メモリアレイMARYの対応するグローバルビット線GB0～GBnに結合され、その下部端子は、対応する単位ペリファイ回路UVF0～UVFnの上部端子に結合される。単位ペリファイ回路UVF0～UVFnの下部端子は、対応する単位データラッチUDL0～UDLnの上部端子に結合され、これらの単位データラッチの下部端子は、ビット線GSB0～GSBnを介してYゲート回路YGに結合される。単位センスラッチUSL0～USLnには、対応する書き込み時間制御回路WTCから書き込み制御信号WT0～WT3が共通に供給され、単位ペリファイ回路UVF0～UVFnの最終的な出力信号は、ペリファイ確認信号VFOKとして対応するペリファイ回路VFに出力される。

【0030】センスデータラッチSDLの各単位回路の単位センスラッチUSL0～USLnは、フラッシュメモリが書き込みモードとされるとき、書き込み時間制御回路WTCから供給される書き込み制御信号WT0～WT3の有効レベルを受けて選択的に動作状態となり、対応する単位データラッチUDL0～UDLnに保持される書き込みデータをもとに所定の書き込み電圧又は書き込み禁止電圧をそれぞれ選択的に生成し、グローバルビ

ット線GB0～GBnに出力する。

【0031】すなわち、センスデータラッチSDLの単位センスラッチUSL0～USLnは、特に制限されないが、対応する単位データラッチUDL0～UDLnに保持される書き込みデータが論理“0”とされ、メモリアレイMARYの対応するメモリセルMCが書き込み対象とされるとき、グローバルビット線GB0～GBnに対して例えば接地電位VSSつまり0V（第2の電圧）の書き込み電圧を出力する。また、対応する単位データラッチUDL0～UDLnに保持される書き込みデータが論理“1”とされ、メモリアレイMARYの対応するメモリセルMCが書き込み対象とされないときには、グローバルビット線GB0～GBnに対して例えば+6Vの書き込み禁止電圧を出力する。

【0032】フラッシュメモリが書き込みモードとされるとき、メモリアレイMARYの指定ワード線は、前述のように、ワード線書き込み電圧VWつまり+15Vのような選択レベルとされる。したがって、対応するグローバルビット線GB0～GBnつまり対応するローカルビット線に0Vの書き込み電圧が印加されるメモリセルMCでは、そのチャネル及びコントロールゲート間に15Vの電圧が印加される形となり、そのチャネル及びフローティングゲート間でFNTトンネル現象が発生して、フローティングゲートに電子の注入が行われ、そのしきい値電圧は $V_{th2}$ を中心値とする領域に上昇する。しかし、対応するグローバルビット線GB0～GBnに+6Vの書き込み禁止電圧が印加されるメモリセルMCでは、そのチャネル及びコントロールゲート間に印加される電圧が9Vとなり、FNTトンネル現象が発生せずに、そのしきい値電圧は実質上昇しない。

【0033】なお、書き込み対象となるメモリセルMCにおけるしきい値電圧の変化は、指定ワード線に対するワード線書き込み電圧VWの印加時間が長くなるにしたがって大きくなる。しかし、その程度はメモリセル間で比較的大きなバラツキがあるため、ワード線書き込み電圧VWの1回あたりの印加時間は比較的短くされ、ベリファイ動作をはさんで数回の書き込み動作が繰り返される。バンクBANK0～BANK3に共通に設けられる書き込み電圧発生回路VWGは、外部供給される電源電圧VCCをもとに上記ワード線書き込み電圧VWを生成し、各バンクのXアドレスデコーダXDに供給する。また、バンクBANK0～BANK3にそれぞれ設けられる書き込みシーケンス制御回路WSCは、上記のような書き込み動作の手順を制御・管理し、書き込み時間制御回路WTCは、指定ワード線に対するワード線書き込み電圧VWの印加時間を設定する。

【0034】一方、センスデータラッチSDLの各単位回路の単位センスラッチUSL0～USLnは、フラッシュメモリが読み出しモードとされるとき、まず対応するグローバルビット線GB0～GBnを所定の電位にプ

リチャージする。このプリチャージ電位は、メモリアレイMARYの指定ワード線が択一的に上記読み出し選択電位VRW21とされることで、対応するメモリセルMCの保持データの論理値に応じて選択的にディスチャージされ、低下する。単位センスラッチUSL0～USLnは、対応するグローバルビット線GB0～GBnの電位低下をそれぞれ増幅・識別し、対応するメモリセルMCの保持データの論理値を判定して、対応する単位データラッチUDL0～UDLnに伝達する。

【0035】次に、センスデータラッチSDLの各単位回路の単位データラッチUDL0～UDLnは、フラッシュメモリが書き込みモードとされるとき、データ入出力回路IOからマルチプレクサMX及びYゲート回路YGを介して8ビット単位で入力される書き込みデータを順次取り込み、保持して、対応する単位センスラッチUSL0～USLnに伝達する。また、フラッシュメモリが読み出しモードとされるときには、対応する単位センスラッチUSL0～USLnにより論理値の判定を受けた読み出しデータを保持し、Yゲート回路YG及びマルチプレクサMXを介して8ビットずつデータ入出力回路IOに伝達し、出力する。

【0036】さらに、センスデータラッチSDLの各単位回路の単位ベリファイ回路UVF0～UVFnは、フラッシュメモリが書き込みモードとされ、かつ書き込み状況の試験・確認のためのベリファイモードとされるとき、対応する単位センスラッチUSL0～USLnにより論理値の判定を受けた読み出しデータと、対応する単位データラッチUDL0～UDLnによって保持される書き込みデータの論理値をそれぞれ比較照合する。その結果、全データの論理値が一致したことを条件に、その最終的な出力信号たるベリファイ確認信号VFOKを選択的にロウレベルとし、指定ワード線に結合されるすべてのメモリセルMCに対するデータ書き込みが終了したことをベリファイ回路VFに知らせる。

【0037】バンクBANK0～BANK3に設けられるベリファイ回路VFは、上記のようなベリファイ動作を統轄して、XアドレスデコーダXDのベリファイ動作時の選択動作を制御するとともに、センスデータラッチSDLの単位ベリファイ回路UVF0～UVFnから出力されるベリファイ確認信号VFOKのロウレベルを受けて、内部制御信号VFEを選択的に有効レベルとし、一連の書き込み動作が正常に終了したことをメモリ制御回路CTLに知らせる。

【0038】YアドレスカウンタYCは、メモリ制御回路CTLから供給される内部制御信号YCに従って歩進動作を行い、所定ビットの内部Yアドレス信号を形成して、YアドレスデコーダYDに供給する。また、YアドレスデコーダYDは、YアドレスカウンタYCから供給される内部Yアドレス信号をデコードして、Yゲート回路YGに対するビット線選択信号の対応するビットを順



次一元的にハイレベルとする。さらに、Yゲート回路YGは、ビット線選択信号の択一的なハイレベルを受けてセンスデータラッチSDLの対応する8個の単位データラッチを順次選択し、マルチプレクサMXとの間を選択的に接続状態とする。

【0039】一方、データ入出力回路IOは、外部のアクセス装置からデータ入出力端子IO0～IO7を介して入力されるXアドレス信号、書き込みデータならびにコマンドデータをマルチプレクサMXに伝達するとともに、Yゲート回路YGからマルチプレクサMXを介して伝達される読み出しデータを、データ入出力端子IO0～IO7を介して外部のアクセス装置に出力する。また、マルチプレクサMXは、データ入出力回路IOから伝達されるXアドレス信号、書き込みデータならびにコマンドデータを、対応するXアドレスデコーダXD、Yゲート回路YGあるいはコマンドレジスタCRに伝達するとともに、センスデータラッチSDLの指定された8個の単位データラッチからYゲート回路YGを介して出力される8ビットの読み出しデータをデータ入出力回路IOに伝達する。

【0040】なお、外部のアクセス装置から入力されるXアドレス信号には、2ビットのバンクアドレス信号が含まれる。これらのバンクアドレス信号は、バンク選択回路BSに伝達された後、デコードされ、このデコード結果を受けて前記バンク選択信号BS0～BS3が択一的にハイレベルとされる。

【0041】コマンドレジスタCRは、外部のアクセス装置からデータ入出力端子IO0～IO7、データ入出力回路IOならびにマルチプレクサMXを介して入力される8ビットのコマンドデータを、内部制御信号CLに従って取り込み、保持するとともに、メモリ制御回路CTLに伝達する。

【0042】メモリ制御回路CTLは、例えばマイクロプログラム方式のステイトマシンからなり、外部のアクセス装置から起動制御信号として供給されるシリアルクロック信号SC、チップイネーブル信号CEB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）、ライトイネーブル信号WEB、出カイネーブル信号OEB、リセット信号RESBならびにコマンドイネーブル信号CDEBと、コマンドレジスタCRから供給されるコマンドデータとをともに、上記各種の内部制御信号等を選択的に形成して、フラッシュメモリの各部に供給するとともに、レディー／ビジー信号R／BBを選択的に有効レベル又は無効レベルとして、フラッシュメモリの使用状況を外部のアクセス装置に知らせる。

【0043】図4には、図1のフラッシュメモリの書き込み系回路の一実施例の接続図が示され、図5には、図1のフラッシュメモリの書き込み動作時の一実施例のタ

イミングチャートが示されている。両図をもとに、この実施例のフラッシュメモリの書き込み系回路の接続形態と、書き込み動作時の時間関係ならびにその特徴について説明する。なお、以下のタイミングチャートでは、

『WDin』をもってセクタ分つまり1ワード線分の書き込みデータのシリアル入力動作が示され、『\*』をもって書き込み動作後のベリファイ動作が示される。

【0044】図4において、外部のアクセス装置からデータ入出力端子IO0～IO7を介して8ビット単位で時分割入力されるXアドレス信号は、前述のように、データ入出力回路IOからマルチプレクサMXを介してバンクBANK0～BANK3のXアドレスデコーダXDに伝達される。このとき、Xアドレス信号とともに入力される2ビットのバンクアドレス信号は、バンク選択回路BSに入力されてデコードされ、その結果を受けて対応するバンク選択信号BS0～BS3が択一的に有効レベルとされる。これにより、Xアドレス信号は、バンク選択信号BS0～BS3の有効レベルとされたビットに対応するバンクでのみXアドレスデコーダXDに取り込まれ、指定ワード線の選択動作に供される。

【0045】この実施例において、書き込み制御回路の一部たる書き込みシーケンス制御回路WSC、書き込み時間制御回路WTCならびにベリファイ回路VFは、バンクBANK0～BANK3のそれぞれに個別に設けられる。また、各バンクのXアドレスデコーダXDには、対応する書き込み時間制御回路WTCから書き込み制御信号WT0～WT3が供給されるとともに、対応するベリファイ回路VFからベリファイ制御信号VT0～VT3が供給される。各バンクの書き込みシーケンス制御回路WSCは、所定の制御信号線を介してメモリ制御回路CTLに結合され、XアドレスデコーダXDには、さらに、書き込み電圧発生回路VWGから前記+1.5Vのワード線書き込み電圧VWが共通に供給される。

【0046】一方、バンクBANK0～BANK3のYゲート回路YGには、YアドレスデコーダYDから所定ビットのビット線選択信号が共通に供給され、そのデータ入出力端子は、マルチプレクサMXの対応する入出力端子に共通結合される。

【0047】つまり、この実施例のフラッシュメモリでは、カラム系選択回路となるYアドレスカウンタYC及びYアドレスデコーダYDと、書き込み制御回路の一部たる書き込み電圧発生回路VWGが、バンクBANK0～BANK3に共通に設けられるが、ロウ系選択回路となるXアドレスデコーダXDと、書き込み制御回路の他の一部たる書き込みシーケンス制御回路WSC、書き込み時間制御回路WTCならびにベリファイ回路VFは、バンクごとに個別に設けられる。

【0048】したがって、書き込みデータのセンスデータラッチSDLに対する8ビット単位のシリアル入力動作は、図5に『WDin』として示されるように、バン

クBANK 0～BANK 3の一つを指定して択一的に行わざるを得ないが、その後のペリファイ動作をはさむ一連の書き込み動作は、書き込み制御回路たる書き込みシーケンス制御回路WSC、書き込み時間制御回路WTCならびにペリファイ回路VFがバンクごとに設けられることで、バンクごとに独立して任意のタイミングで、しかも複数バンクで並行して行うことができる。この結果、例えば記憶装置のアドレス空間をバンクBANK 0～BANK 3に順次分散して付与することで、複数のバンクを備えるフラッシュメモリの平均的な書き込み所要時間を短縮することができ、これによってフラッシュメモリからなる記憶装置を含むコンピュータシステムの処理能力を高めることができるものである。

【0049】図6には、この発明が適用されたフラッシュメモリの書き込み系回路の第2の実施例の接続図が示され、図7には、図6の書き込み系回路を含むフラッシュメモリの書き込み動作時の一実施例のタイミングチャートが示されている。なお、図6及び図7は、それぞれ前記図4及び図5の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0050】図6において、書き込み制御回路の一部たる書き込み時間制御回路WTC及びペリファイ回路VFは、前記図4の実施例と同様に、バンクごとに個別に設けられるが、書き込み制御回路の他の一部たる書き込みシーケンス制御回路WSC及び書き込み電圧発生回路VWGは、4個のバンクBANK 0～BANK 3に共通に設けられる。各バンクのXアドレスデコーダXDには、書き込み電圧発生回路VWGから+15Vのワード線書き込み電圧VWが共通に供給され、各バンクの書き込み時間制御回路WTC及びペリファイ回路VFは、それぞれ独立の制御信号線を介して書き込みシーケンス制御回路WSCに結合される。

【0051】したがって、図7に示されるように、各バンクの指定メモリセルに対する書き込み動作は、バンクごとに独立した手順で行われ、各バンクの指定ワード線へのワード線書き込み電圧VWの印加時間、つまり書き込み制御信号WT0～WT3のパルス幅も、バンクごとに独立に設定されるが、各バンクの指定ワード線に対するワード線書き込み電圧VWの印加開始タイミング、つまり書き込み制御信号WT0～WT3の立ち上がりは、ペリファイ動作の開始タイミングを含めて、ワード線書き込み電圧VWの印加時間が最も長いバンクに合わせて、同一タイミングに設定され、書き込み動作のための手順制御も集中化される。

【0052】この結果、フラッシュメモリの平均的な書き込み所要時間は、前記図1ないし図5の実施例に比較してやや長くなるものの、書き込みシーケンス制御回路WSC及び書き込み電圧発生回路VWGが全バンクで共有されることで、書き込み制御回路としてのレイアウト

所要面積を縮小することができ、これによってフラッシュメモリのチップサイズを縮小してその低コスト化を図りつつ、前記図1の実施例と同様な効果を得ることができるものである。

【0053】図8には、この発明が適用されたフラッシュメモリの書き込み系回路の第3の実施例の接続図が示され、図9には、図8の書き込み系回路を含むフラッシュメモリのメモリアレイを構成する2層ゲート構造型メモリセルのしきい値電圧の一実施例の分布特性図が示されている。また、図10には、図8のフラッシュメモリの書き込み系回路の一実施例の部分的な接続図が示され、図11には、図8のフラッシュメモリの書き込み動作時の一実施例のタイミングチャートが示されている。なお、図8及び図11は、前記図4及び図5の実施例を基本的に踏襲するものであるため、これと異なる部分について説明を追加する。

【0054】図8において、この実施例のフラッシュメモリは、多値フラッシュメモリであって、バンクBANK 0～BANK 3のそれぞれは、センスラッチSLをはさんで配置される一対のメモリアレイMARYL及びMARYRと、これらのメモリアレイに対応して設けられる一対のXアドレスデコーダXDL及びXDRならびにデータラッチDLL及びDLRとを備える。また、メモリアレイMARYL及びMARYRを構成する2層ゲート構造型メモリセルは、いわゆる4値メモリセルとされ、1個でそれぞれ2ビットのデジタルデータを保持する。

【0055】したがって、各バンクのメモリアレイMARYL及びMARYRを構成するメモリセルのしきい値電圧は、図9に示されるように、消去状態に対応する最も低いしきい値電圧 $V_{th41}$ と、書き込み状態に対応するしきい値電圧 $V_{th42} \sim V_{th44}$ を中心値とする四つの領域に選択的に分布する。特に制限されないが、各メモリセルは、そのしきい値電圧が消去状態に対応する $V_{th41}$ を中心値とする領域にあるとき、論理“11”のデータを保持するものとされ、そのしきい値電圧が書き込み状態に対応する $V_{th42}$ 、 $V_{th43}$ あるいは $V_{th44}$ を中心値とする領域にあるとき、それぞれ論理“10”、“00”あるいは“01”のデータを保持するものとされる。このため、指定メモリセルがいずれの論理値のデータを保持するかは、対応するワード線を読み出し選択電位VRW41、VRW42あるいはVRW43で選択状態とし、指定メモリセルがオン状態又はオフ状態のいずれにあるかを識別することで判定される。

【0056】この実施例の多値フラッシュメモリにおいて、書き込み制御回路の一部たる書き込みシーケンス制御回路WSC及び書き込み時間制御回路WTCは、4個のバンクBANK 0～BANK 3に共通に設けられ、他の一部たる書き込み電圧発生回路VWG及びペリファイ



回路VFは、バンクごとに設けられる。

【0057】バンクBANK0～BANK3のXアドレスデコーダXDL及びXDRには、データ入出力端子I00～I07からデータ入出力回路IO及びマルチプレクサMXを介して所定ビットのXアドレス信号が共通に供給されるとともに、書き込み時間制御回路WTCから書き込み制御信号WTが共通に供給される。各バンクのXアドレスデコーダXDL及びXDRには、さらに、対応する書き込み電圧発生回路VWGからワード線書き込み電圧VW0～VW3がそれぞれ供給され、対応する書き込み電圧発生回路VWGからベリファイ制御信号VT0～VT3がそれぞれ供給される。各バンクのベリファイ回路VFは、対応する所定の制御信号線を介して書き込みシーケンス制御回路WSCに結合される。

【0058】一方、バンクBANK0～BANK3の書き込み電圧発生回路VWGには、図10に部分拡大して示されるように、チャージポンプ回路CPからその出力信号たる基準電圧VWCが共通に供給されるとともに、書き込みシーケンス制御回路WSCから対応するそれぞれ2ビットの電圧制御信号VC00～VC01ないしVC30～VC31が供給される。各バンクの書き込み電圧発生回路VWGの出力電圧は、ワード線書き込み電圧VW0～VW3として対応するXアドレスデコーダXDつまりXアドレスデコーダXDL及びXDRに供給される。

【0059】この実施例において、チャージポンプ回路CPにより生成される基準電圧VWCの電位は、特に制限されないが、+1.5Vとされる。バンクBANK0～BANK3の書き込み電圧発生回路VWGは、基準電圧VWCの電位を、電圧制御信号対応するVC00～VC01ないしVC30～VC31に従って3段階に降圧し、その出力電圧つまりワード線書き込み電圧VW0～VW3とする。

【0060】すなわち、各バンクの書き込み電圧発生回路VWGは、例えば対応する2ビットの電圧制御信号VC00～VC01ないしVC30～VC31の論理値が論理“00”とされるとき、基準電圧VWCを降圧することなく伝達し、対応するワード線書き込み電圧VW0～VW3の電位を+1.5Vの電位V1とする。また、対応する電圧制御信号VC00～VC01ないしVC30～VC31の論理値が論理“01”とされるときは、基準電圧VWCをやや降圧して伝達し、対応するワード線書き込み電圧VW0～VW3の電位を上記電位V1より所定値だけ低い電位V2とする。さらに、対応する2ビットの電圧制御信号VC00～VC01ないしVC30～VC31の論理値が論理“10”とされるときには、基準電圧VWCを比較的大きく降圧して伝達し、対応するワード線書き込み電圧VW0～VW3の電位を上記電位V2よりさらに低い電位V3とする。

【0061】各バンクのXアドレスデコーダXDL又は

XDRによりメモリアレイMARYL又はMARYRの指定ワード線が上記電位V1のような比較的高い電位の選択レベルとされるとき、この指定ワード線に結合され書き込み対象とされるメモリセルのしきい値電圧は、図9のしきい値電圧Vth44に向かって急速に上昇する。また、指定ワード線が電位V2のような中間的電位の選択レベルとされるとき、この指定ワード線に結合され書き込み対象とされるメモリセルのしきい値電圧は、図9のしきい値電圧Vth43に向かってやや急速に上昇する。さらに、指定ワード線が電位V3のような比較的低い電位の選択レベルとされるとき、この指定ワード線に結合され書き込み対象とされるメモリセルのしきい値電圧は、図9のしきい値電圧Vth42に向かって緩やかに上昇する。

【0062】一方、この実施例の多値フラッシュメモリでは、各バンクの指定メモリセルに対する書き込み動作が、図11に例示されるように、目標とするしきい値電圧がVth44を中心値とする領域に上昇させ書き込み後の保持データを論理“01”とすべきメモリセルから、書き込み後のしきい値電圧をVth43を中心値とする領域に上昇させ書き込み後の保持データを論理“00”とすべきメモリセル、ならびに書き込み後のしきい値電圧をVth42を中心値とする領域に上昇させ書き込み後の保持データを論理“10”とすべきメモリセルの順に行われる。

【0063】また、この実施例では、上記のように、書き込みシーケンス制御回路WSC及び書き込み時間制御回路WTCが、4個のバンクBANK0～BANK3で共有されるとともに、各バンクの指定メモリセルに対する書き込み動作は、その大半が共通の手順で、しかも同一タイミングで並行して行われる。

【0064】ところが、各バンクの書き込み電圧発生回路VWGから出力されるワード線書き込み電圧VW0～VW3の電位は、前述のように、対応する指定メモリセルへの書き込み動作がVth44、Vth43あるいはVth42のいずれを目標値として行われるかによって切り換えられ、選択的に上記電位V1、V2あるいはV3とされる。このため、各バンクの指定メモリセルに対する書き込み動作が共通の手順で、しかも各論理値データごとの書き込み動作及びベリファイ動作が同一タイミングで行われるにもかかわらず、バンクBANK0～BANK3のそれぞれにおいて異なるしきい値電圧を目標値とする指定メモリセルに対する書き込み動作を並行して行うことができるものとなる。

【0065】この結果、多値フラッシュメモリとしての平均的な書き込み所要時間を短縮して、多値フラッシュメモリを含むコンピュータシステムの処理能力を高めることができるとともに、書き込みシーケンス制御回路WSC及び書き込み時間制御回路WTCを4個のバンクB

ANK 0～BANK 3で共有することにより、書き込み制御回路としてのレイアウト所要面積を縮小し、多値フラッシュメモリのチップサイズを縮小して、その低コスト化を図ることができるものである。

【0066】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが2値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込みシーケンス制御回路、書き込み時間制御回路ならびにベリファイ回路をバンクごとに個別に設け、書き込み制御回路の他の一部たる書き込み電圧発生回路を全バンク共通に設けることで、複数のバンクを備えるフラッシュメモリ等に、各バンクで独立にしかも並行して書き込み動作を実行しうるいわゆる書き込みインターリーブ機能を持たせることができるという効果が得られる。

(2) 上記(1)項により、複数のバンクを備えるフラッシュメモリ等の書き込み所要時間を短縮できるという効果が得られる。

(3) 上記(1)項及び(2)項により、フラッシュメモリを含むコンピュータシステム等の処理能力を高めることができるという効果が得られる。

【0067】(4) 複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが2値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込み時間制御回路及びベリファイ回路をバンクごとに設け、他の一部たる書き込み電圧発生回路及び書き込みシーケンス制御回路を全バンク共通に設けることで、書き込み制御回路としてのレイアウト所要面積を縮小できるという効果が得られる。

(5) 上記(4)項により、フラッシュメモリ等のチップサイズを縮小し、その低コスト化を図ることができるという効果が得られる。

【0068】(6) 複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが多値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込み電圧発生回路及びベリファイ回路をバンクごとに設け、その他の一部たる書き込みシーケンス制御回路及び書き込み時間制御回路を全バンク共通に設けることで、異なるしきい値電圧を目標値とする指定メモリセルへの書き込み動作を複数のバンクで並行して行うことができるという効果が得られる。

(7) 上記(6)項により、複数のバンクを備える多値フラッシュメモリのチップサイズを縮小し、その低コスト化を図りつつ、多値フラッシュメモリの平均的な書き込み所要時間を短縮できるという効果が得られる。

(8) 上記(6)項及び(7)項により、多値フラッシュ

メモリを含むコンピュータシステム等の処理能力を高めることができるという効果が得られる。

【0069】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、フラッシュメモリは、任意数のバンクを備えることができるし、そのブロック構成や起動制御信号及び内部制御信号の名称及び有効レベル等は、種々の実施形態をとりうる。図2において、メモリアレイMARYは、任意数の冗長素子を含むことができるし、メモリアレイMARYならびにセンスデータラッチSDLの具体的回路構成は、本実施例による制約を受けない。

【0070】図3及び図9において、2層ゲート構造型メモリセルのしきい値電圧の分布特性はほんの一例であって、各分布領域のしきい値電圧の絶対値や具体的分布形態は、本発明の主旨に何ら影響を与えない。また、多値フラッシュメモリの各バンクのメモリアレイMARYL及びMARYRを構成する2層ゲート構造型メモリセルは、4値メモリセルに限定されない。

【0071】図5、図7ならびに図11において、各バンクでの書き込みデータの入力動作及び書き込み動作のタイミング、ならびに書き込み動作及びベリファイ動作の回数等は、任意に設定できる。また、図11において、指定メモリセルに対する書き込み動作の順序とその目標とするしきい値電圧との関係も、本実施例による制約を受けない。図10において、書き込みシーケンス制御回路WSCから各バンクの書き込み電圧発生回路VWGに供給される電圧制御信号は3ビットとし、各書き込み電圧発生回路でのデコード処理をなくしてもよい。

【0072】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるコンピュータシステムの記憶装置を構成するフラッシュメモリ及び多値フラッシュメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、各種のデジタルシステムに含まれる同様なフラッシュメモリ又は多値フラッシュメモリや、EEPROM（電氣的に消去・書き換え可能なリードオンリメモリ）等の各種メモリ集積回路、ならびにこのようなメモリ集積回路装置を含むシングルチップマイクロコンピュータ等にも適用できる。この発明は、少なくとも2層ゲート構造型メモリセルが格子配列されてなるメモリアレイをそれぞれ含む複数のバンクを備える半導体記憶装置ならびにこのような半導体記憶装置を含む装置又はシステムに広く適用できる。

【0073】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数のバンクを備え例えば

コンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが2値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込みシーケンス制御回路、書き込み時間制御回路ならびにベリファイ回路をバンクごとに設け、他の一部たる書き込み電圧発生回路を全バンク共通に設けることで、フラッシュメモリ等に、各バンクで独立にしかも並行して書き込み動作を実行しうるいわゆる書き込みインターリーブ機能を持たせることができるため、フラッシュメモリ等の平均的な書き込み所要時間を短縮し、これを含むコンピュータシステム等の処理能力を高めることができる。

【0074】複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが2値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込み時間制御回路及びベリファイ回路をバンクごとに設け、他の一部たる書き込み電圧発生回路及び書き込みシーケンス制御回路を全バンク共通に設けることで、書き込み制御回路のレイアウト所要面積を縮小できるため、フラッシュメモリ等のチップサイズを縮小し、その低コスト化を図りつつ、フラッシュメモリ等の書き込み所要時間を短縮して、これを含むコンピュータシステム等の処理能力を高めることができる。

【0075】複数のバンクを備え例えばコンピュータシステムの記憶装置を構成するフラッシュメモリ等において、そのメモリアレイが多値の2層ゲート構造型メモリセルからなる場合、書き込み制御回路の一部たる書き込み電圧発生回路及びベリファイ回路をバンクごとに設け、他の一部たる書き込みシーケンス制御回路及び書き込み時間制御回路を全バンク共通に設けることで、異なるしきい値電圧を目標値とする指定メモリセルへの書き込み動作を各バンクで並行して行うことができるため、多値フラッシュメモリのチップサイズを縮小して、その低コスト化を図りつつ、多値フラッシュメモリの平均的な書き込み所要時間を短縮し、これを含むコンピュータシステム等の処理能力を高めることができる。

#### 【図面の簡単な説明】

【図1】この発明が適用されたフラッシュメモリの第1の実施例を示すブロック図である。

【図2】図1のフラッシュメモリに含まれるメモリアレイ及び関連部の一実施例を示す部分的な回路図である。

【図3】図2のメモリアレイを構成する2層ゲート構造型メモリセルのしきい値電圧の一実施例を示す分布特性図である。

【図4】図2のフラッシュメモリに含まれる書き込み系回路の一実施例を示す接続図である。

【図5】図2のフラッシュメモリの書き込み動作時の一実施例を示すタイミングチャートである。

【図6】この発明が適用されたフラッシュメモリに含ま

れる書き込み系回路の第2の実施例を示す接続図である。

【図7】図6の書き込み系回路を含むフラッシュメモリの書き込み動作時の一実施例を示すタイミングチャートである。

【図8】この発明が適用されたフラッシュメモリ（多値フラッシュメモリ）に含まれる書き込み系回路の第3の実施例を示す接続図である。

【図9】図8の書き込み系回路を含むフラッシュメモリのメモリアレイを構成する2層ゲート構造型メモリセルのしきい値電圧の一実施例を示す分布特性図である。

【図10】図8の書き込み系回路の一実施例を示す部分的な接続図である。

【図11】図8の書き込み系回路を含むフラッシュメモリの書き込み動作時の一実施例を示すタイミングチャートである。

【図12】この発明に先立って本願発明者等が開発したフラッシュメモリに含まれる書き込み系回路の一例を示す接続図である。

【図13】図12の書き込み系回路を含むフラッシュメモリの書き込み動作時の一例を示すタイミングチャートである。

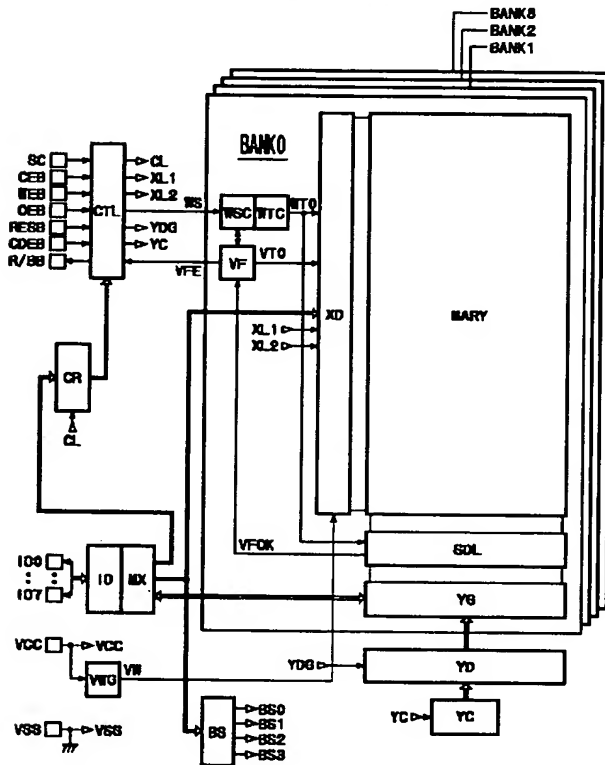
#### 【符号の説明】

BANK 0～BANK 3……バンク、MARY……メモリアレイ、XD……Xアドレスデコーダ、SDL……センスデータラッチ、YG……Yゲート回路、YD……Yアドレスデコーダ、YC……Yアドレスカウンタ、WSC……書き込みシーケンス制御回路、WTC……書き込み時間制御回路、VF……ベリファイ回路、VWG……書き込み電圧発生回路、BS……バンク選択回路、MX……マルチプレクサ、IO……入出力バッファ、CR……コマンドレジスタ、TL……メモリ制御回路、SC……シリアルクロック信号又はその入力端子、CEB……チップイネーブル信号又はその入力端子、WEB……ライトイネーブル信号又はその入力端子、OEB……出力イネーブル信号又はその入力端子、RESB……リセット信号又はその入力端子、CDEB……コマンドイネーブル信号又はその入力端子、R/BB……レディー/ビジー信号又はその出力端子、IO0～IO7……入力又は出力データあるいはその入出力端子、VCC……電源電圧又はその入力端子、VSS……接地電位又はその入力端子、MCB0～MCBk……メモリセルブロック、MC……2層ゲート構造型メモリセル、LB0～LBn……ローカルビット線、GB0～GBn、GSB0～GSBn……グローバルビット線、SSL0～SSLn……分割ソース線、SL……ソース線、MD0～MDk、MS0～MSk……ブロック選択信号、W00～W0mないしWk0～Wkm……ワード線、N1～N2……NチャンネルMOSFET、USL0～USLn……単位センスラッチ、UVF0～UVFn……単位ベリファイ

回路、UDL0～UDLn……単位データラッチ、WT, WT0～WT3……書き込み制御信号、VFOK……ベリファイ確認信号、Vth21～Vth22, Vth41～Vth44……しきい値電圧、VRW21, VRW41～VRW43……読み出し選択電位。BS0～BS3……バンク選択信号、VW, VW0～VW3……ワード線書き込み電圧。WDin……書き込みデータ入

【図1】

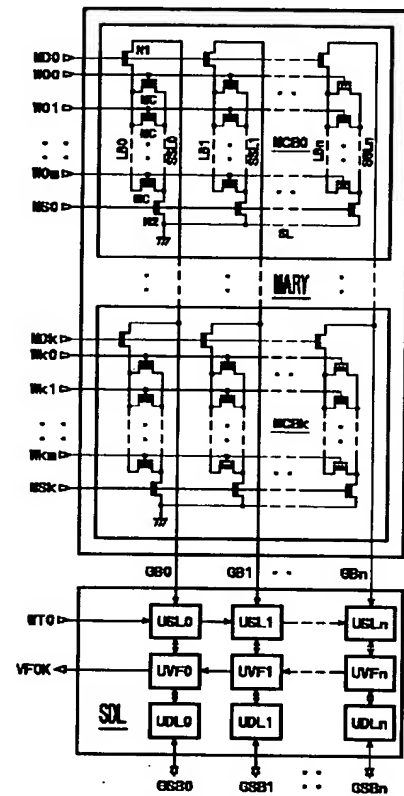
図1 フラッシュメモリのブロック構成 (実施例1)



力動作。MARYL, MARYR……メモリアレイ、XDL, XDR……Xアドレスデコーダ、SL……センスラッチ、DLL, DLR……データラッチ。V1～V3……ワード線書き込み電圧の電位。CP……チャージポンプ回路、VWC……基準電圧、VC00～VC01ないしVC30～VC31……電圧制御信号。

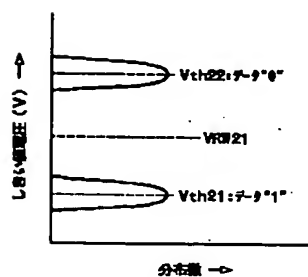
【図2】

図2 メモリアレイ及び関連部の部分回路構成



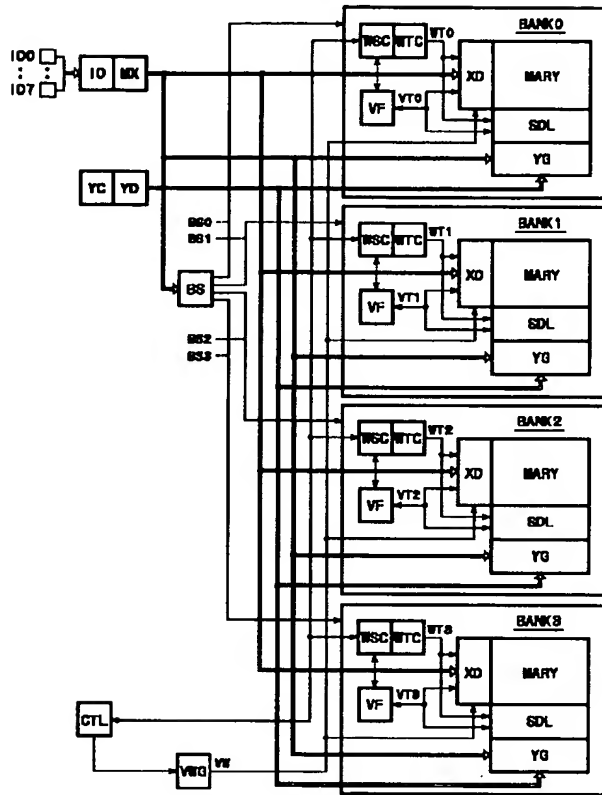
【図3】

図3 メモリセルのしきい値電圧分布



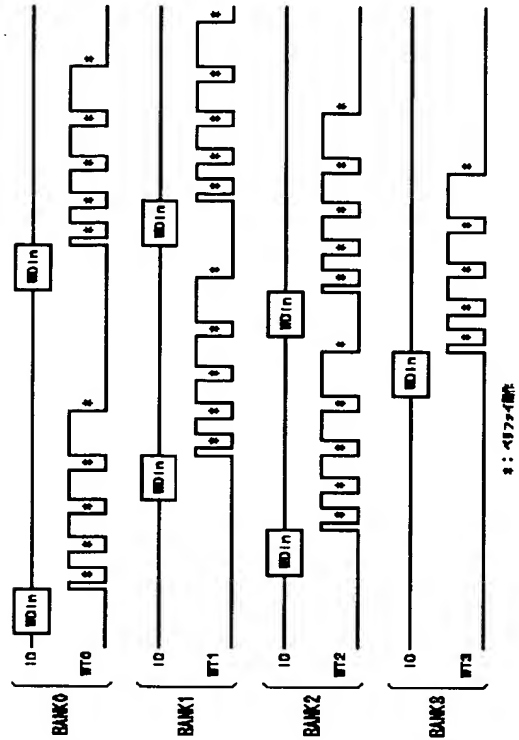
【図4】

図4 書き込み系回路の接続形態（実施例1）



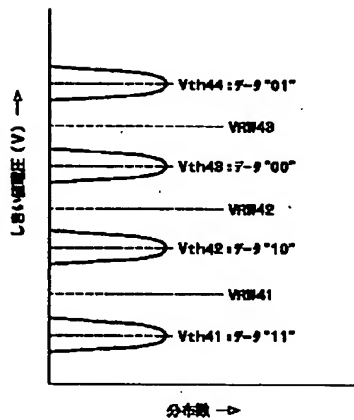
【図5】

図5 書き込み動作時のタイミングチャート（実施例1）



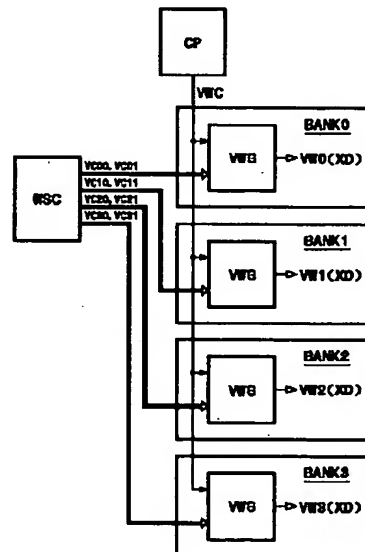
【図9】

図9 多値メモリのしきい値電圧分布



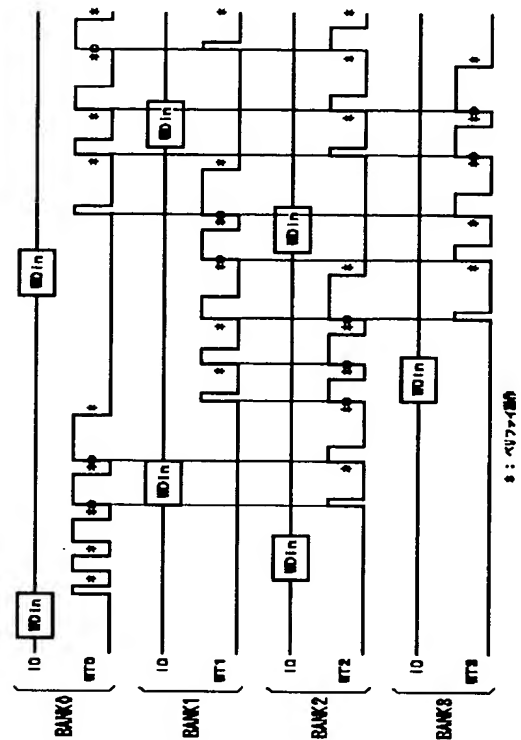
【図10】

図10 書き込み系回路の部分接続形態



【図 7】

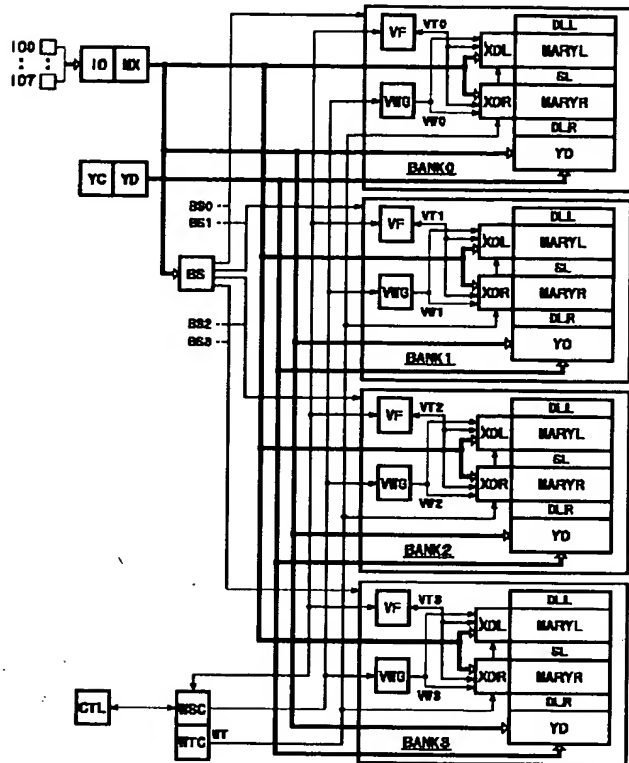
図7 き込み動作時のタイミングチャート（実施例2）





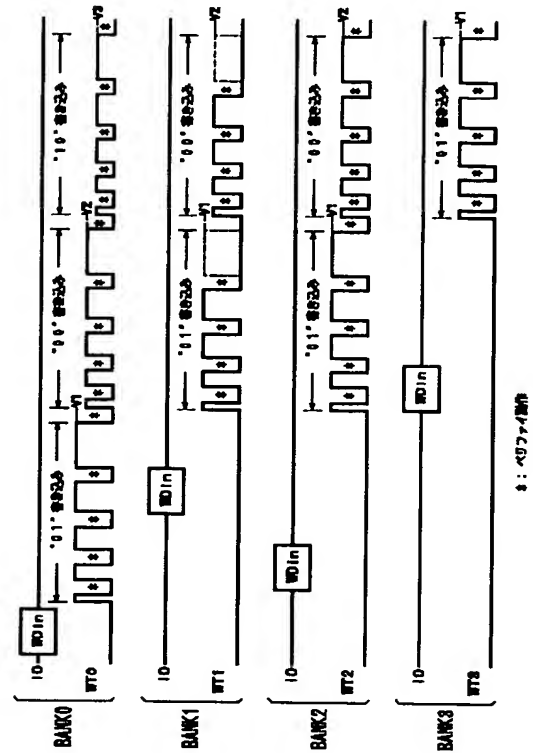
【図8】

図8 書き込み系回路の接続形態（実施例3）



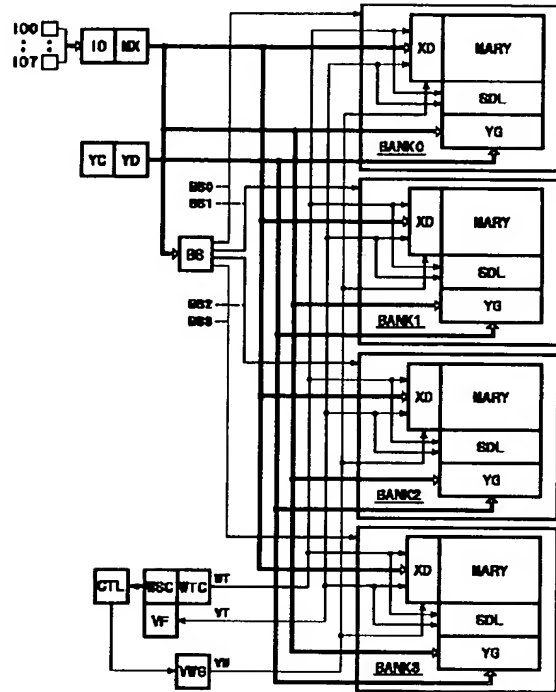
【図11】

図11 書き込み動作時のタイミングチャート（実施例3）



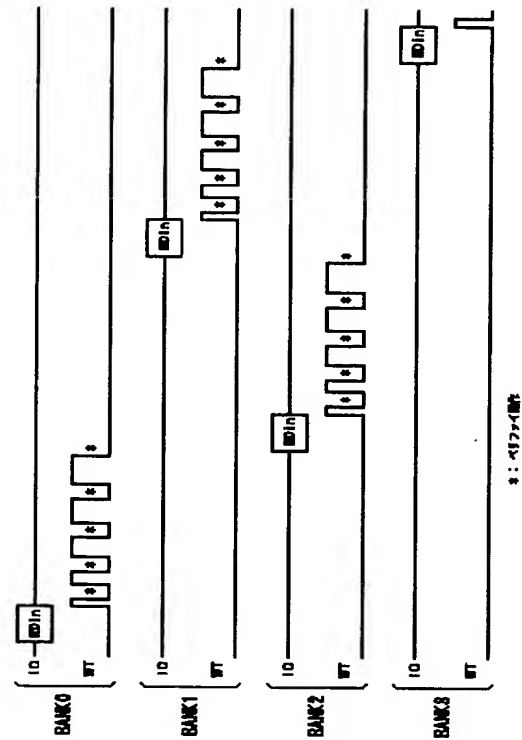
【図12】

図12 書き込み系回路の接続形態



【図13】

図13 書き込み動作時のタイミングチャート



フロントページの続き

Fターム(参考) 5B025 AA03 AB01 AC01 AD04 AD05  
AD09 AD15 AE05